

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-041409

(43)Date of publication of application : 13.02.1998

(51)Int.Cl.

H01L 21/8244

H01L 27/11

H01L 27/10

H01L 27/108

H01L 21/8242

(21)Application number : 08-211856

(71)Applicant : SONY CORP

(22)Date of filing : 23.07.1996

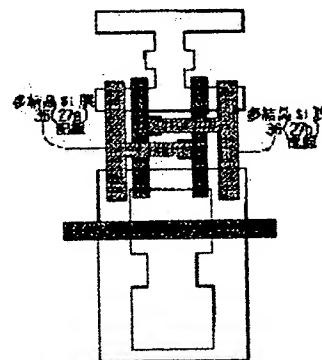
(72)Inventor : KOSHIO KENJI

## (54) SEMICONDUCTOR DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To enable the wiring density to be lowered by a memory cell of a SRAM by providing the first and second cells with the wiring formed of the same semiconductor layer following the second layer.

**SOLUTION:** The wirings 27a, 27b for intersection coupling are formed of polycrystalline Si film 36 in the same layer as the polycrystalline Si layer used for the formation of the electrode, etc., of capacitance element in the memory cell of a DRAM to be the polycrystalline Si film after the second layer on an Si substrate. Next, the polycrystalline Si film 36, etc., are covered with an interlayer insulating film. In the memory cell of SRAM in ASIC, the wirings 27a, 27b for intersection coupling are formed of the polycrystalline Si film 36 in the same layer as that of the polycrystalline Si film for the formation of the electrode, etc., of capacity in the memory cell of a DRAM. Accordingly, in comparison with the memory cell of SRAM in the ASIC forming the wirings 27a, 27b of Al films, the density of the Al film wiring is lower than that of the memory cell so that the wirings 27a, 27b may be hardly affected by pattern deformation, or raising dust in the wiring formation step.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 10 - 41409

(43) 公開日 平成 10 年 (1998) 2 月 13 日

(51) Int. Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H01L 21/8244			H01L 27/10	381
27/11				461
27/10	461			681 F
27/108				
21/8242				

審査請求 未請求 請求項の数 2 F D (全 5 頁)

(21) 出願番号 特願平 8 - 211856

(22) 出願日 平成 8 年 (1996) 7 月 23 日

(71) 出願人 000002185  
ソニー株式会社  
東京都品川区北品川 6 丁目 7 番 35 号

(72) 発明者 小塩 賢治  
東京都品川区北品川 6 丁目 7 番 35 号 ソ  
ニー株式会社内

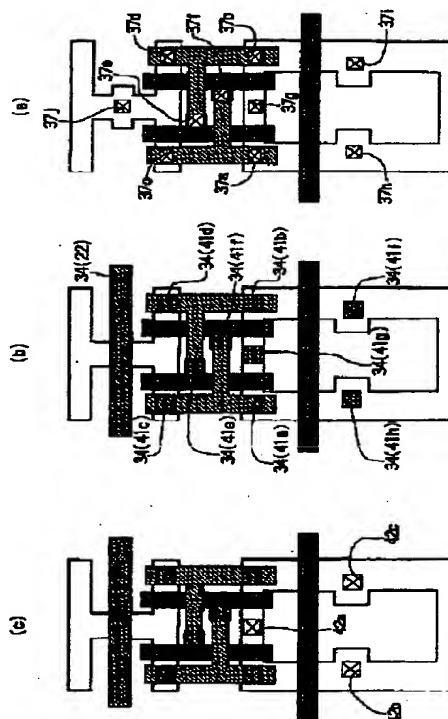
(74) 代理人 弁理士 土屋 勝

(54) 【発明の名称】 半導体装置

## (57) 【要約】

【課題】 配線の形成工程でパターン崩れや塵埃等の影響を受けにくくすると共に配線の形成工程で付着した塵埃を除去し易くして、歩留りを高める。

【解決手段】 DRAM の容量素子の電極等と同一層の多結晶 Si 膜で SRAM のフリップフロップの交差結合用の配線が形成されているので、Al 膜 34 で交差結合用の配線が形成されている構造に比べて、Al 膜 34 から成る配線の密度が低い。しかも、多結晶 Si 膜は Al 膜よりもパターニング後に変形しにくいので、効果的な洗浄を交差結合用の配線の形成後に行うことができ、形成工程で付着した塵埃を除去し易い。



## 【特許請求の範囲】

【請求項 1】 フリップフロップを用いて構成されている第 1 のメモリセルと容量素子を用いて構成されている第 2 のメモリセルとを含む半導体装置において、半導体基板上における第 2 層目以降の同一層の半導体層から形成されている配線を前記第 1 及び第 2 のメモリセルが有していることを特徴とする半導体装置。

【請求項 2】 前記第 1 のメモリセルにおける前記配線が前記フリップフロップの交差結合用の配線であることを特徴とする請求項 1 記載の半導体装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、SRAM と DRAM との両方を含む半導体装置に関するものである。

【0002】

【従来の技術】 図 4 は、完全 CMOS 型 SRAM のメモリセルの等価回路を示している。このメモリセルのフリップフロップ 11 は駆動用の NMOSTランジスタ 12、13 と負荷用の PMOSTランジスタ 14、15 とから成っており、このフリップフロップ 11 と転送用の NMOSTランジスタ 16、17 とでメモリセルが構成されている。

【0003】 NMOSTランジスタ 12、13 のソースには接地線 21 が接続されており、PMOSTランジスタ 14、15 のソースには電源線 22 が接続されている。また、ワード線 23 が NMOSTランジスタ 16、17 のゲート電極になっており、これらの NMOSTランジスタ 16、17 の各々の一方のソース／ドレインに真補のビット線 24、25 が接続されている。

【0004】 NMOSTランジスタ 12 及び PMOSTランジスタ 14 は電氣的に共通なゲート電極 26a を有しており、NMOSTランジスタ 13 及び PMOSTランジスタ 15 も電氣的に共通なゲート電極 26b を有している。また、NMOSTランジスタ 12 側の記憶ノードとゲート電極 26b、及び NMOSTランジスタ 13 側の記憶ノードとゲート電極 26a が、配線 27a、27b で交差結合されている。

【0005】 図 5 は、完全 CMOS 型 SRAM と DRAM との両方を混載している ASIC の一従来例のうちで製造過程にある完全 CMOS 型 SRAM のメモリセルを示している。このメモリセルを形成するためには、Si 基板の表面に LOCOS 法で素子分離用の SiO<sub>2</sub> 膜を形成して、互いに分離されている素子活性領域 31n、31p を区画する。

【0006】 その後、素子活性領域 31n、31p の表面にゲート酸化膜としての SiO<sub>2</sub> 膜を形成し、Si 基板上の第 1 層目の多結晶 Si 膜 32 でゲート電極 26a、26b とワード線 23 とを形成する。そして、多結晶 Si 膜 32 をマスクにして素子活性領域 31n、31p に夫々 N 型の拡散層 33a ~ 33e 及び P 型の拡散層

33f ~ 33h を形成して、NMOSTランジスタ 12、13、16、17 及び PMOSTランジスタ 14、15 を形成する。

【0007】 その後、多結晶 Si 膜 32 等を層間絶縁膜で覆い、必要なコンタクト孔をこの層間絶縁膜等に開孔する。そして、Si 基板上の第 1 層目の Al 膜 34 で、拡散層 33f に接続する電源線 22 と、拡散層 33b、33g 及びゲート電極 26b に接続する交差結合用の配線 27a と、拡散層 33c、33h 及びゲート電極 26a に接続する交差結合用の配線 27b と、拡散層 33a、33d、33e に夫々接続するパッド用の配線 35a、35b、35c とを形成していた。

【0008】

【発明が解決しようとする課題】 ところが、上述の一従来例の ASIC では、完全 CMOS 型 SRAM のメモリセルにおける電源線 22 と交差結合用の配線 27a、27b とが共に同一層の Al 膜 34 で形成されているので、この ASIC が微細化されて配線密度が高められるに伴って、電源線 22 及び配線 27a、27b の形成工程でパターン崩れや塵埃等の影響を受け易くなって、歩留りが低下していた。

【0009】

【課題を解決するための手段】 本発明による半導体装置は、フリップフロップを用いて構成されている第 1 のメモリセルと容量素子を用いて構成されている第 2 のメモリセルとを含む半導体装置において、半導体基板上における第 2 層目以降の同一層の半導体層から形成されている配線を前記第 1 及び第 2 のメモリセルが有していることを特徴としている。

【0010】 本発明による半導体装置は、前記第 1 のメモリセルにおける前記配線が前記フリップフロップの交差結合用の配線であってもよい。

【0011】 本発明による半導体装置では、半導体基板上における第 2 層目以降の同一層の半導体層から形成されている配線が SRAM のメモリセルと DRAM のメモリセルとの両方に用いられているので、互いに異なる層の導電層から形成されている配線が夫々のメモリセルで専用に用いられている構造に比べて、配線が多い SRAM のメモリセルで配線の密度を低くすることができる。

【0012】 しかも、SRAM のメモリセルと DRAM のメモリセルとの両方に用いられている配線が同一層の半導体層から形成されているので、パターニング後に半導体層よりも変形し易い金属層からこれらの配線が形成されている構造に比べて、効果的な洗浄を配線の形成後に行うことができる。

【0013】 また、リソグラフィで用いるマスクのパターンを変更するだけで、同一層の半導体層から SRAM のメモリセルと DRAM のメモリセルとの両方に配線を形成することができるので、配線の形成工程は増加しない。

## 【0014】

【発明の実施の形態】以下、完全CMOS型SRAMとDRAMとの両方を混載しているASICに適用した本発明の一実施形態を、図1～4を参照しながら説明する。本実施形態のASIC中の完全CMOS型SRAMでも、メモリセルの等価回路は既に図4に示したものと同一である。

【0015】このメモリセルの形成に際しても、図1(a)(b)に示す様に、NMOSTランジスタ12、13、16、17及びPMOSTランジスタ14、15を形成した後、多結晶Si膜32等を層間絶縁膜で覆うまでは、図5に示した一従来例を製造する場合と実質的に同様の工程を実行する。

【0016】しかし、本実施形態を製造するためには、その後、図1(c)に示す様に、Si基板上の第2層目以降の多結晶Si膜であってDRAMのメモリセルにおける容量素子の電極等を形成するために用いられている多結晶Si膜と同一層の多結晶Si膜36で、交差結合用の配線27a、27bを形成する。そして、多結晶Si膜36等を層間絶縁膜で覆う。

【0017】次に、図2(a)に示す様に、多結晶Si膜36等を貫通して拡散層33b、33c、33g、33hに達するコンタクト孔37a～37dと、ゲート電極26a、26bに達するコンタクト孔37e、34fと、拡散層33a、33d、33e、33fに達するコンタクト孔37g～34jとを夫々開孔する。

【0018】次に、図2(b)に示す様に、Si基板上の第1層目のAl膜34で、拡散層33fに接続する電源線22と、多結晶Si膜36と拡散層33b、33c、33g、33hとを夫々接続する配線41a～41dと、拡散層33a、33d、33eに夫々接続するパッド用の配線41g、41h、41iとを形成する。なお、プラグでコンタクト孔37a～37jを埋めてもよい。

【0019】次に、図2(c)に示す様に、Al膜34等を層間絶縁膜で覆い、配線41g、41h、41iに達するコンタクト孔42a～42cを開孔する。そして、図3に示す様に、Si基板上の第2層目のAl膜43で、配線41gに接続する接地線21と、配線41h、41iに夫々接続するビット線24、25とを形成する。そして、更に、表面保護膜等を形成してこのASICを完成させる。

【0020】以上の様にして製造した本実施形態のASICにおけるSRAMのメモリセルでは、DRAMのメモリセルにおける容量素子の電極等を形成するために用いられている多結晶Si膜と同一層の多結晶Si膜36で交差結合用の配線27a、27bが形成されているので、Al膜34で配線27a、27bが形成されている

一従来例のASICにおけるSRAMのメモリセルに比べて、図2(b)と図5との比較からも明らかな様に、Al膜34から成る配線の密度が低い。

【0021】しかも、多結晶Si膜はAl膜よりもパターニング後に変形しにくいので、スーパーソニック洗浄よりも周波数の高いメガソニック洗浄やスクラパー洗浄等をパターニング後に行うことができ、配線27a、27bの形成工程で付着した塵埃を除去し易い。

【0022】また、多結晶Si膜36はDRAMのメモリセルにおける容量素子の電極等を形成するために一従来例でも用いられている多結晶Si膜と同一層であるので、配線27a、27bの形成に際して、リソグラフィで用いるマスクのパターンを変更するだけでよく、配線の形成工程は増加しない。

【0023】なお、以上の実施形態では、DRAMのメモリセルにおける容量素子の電極等を形成するために用いられている多結晶Si膜と同一層の多結晶Si膜36で、SRAMのメモリセルにおけるフリップフロップ11の交差結合用の配線27a、27bが形成されているが、多結晶Si膜36とは異なる層の多結晶Si膜で配線27a、27b以外の配線が形成されていてもよい。

【0024】また、以上の実施形態は、完全CMOS型SRAMとDRAMとの両方を混載しているASICに本発明を適用したものであるが、積層CMOS型SRAMや高抵抗負荷型SRAMとDRAMとの両方を混載している半導体装置にも本発明を適用することができる。

## 【0025】

【発明の効果】本発明による半導体装置では、配線が多いSRAMのメモリセルで配線の密度が低くすることができるので、配線の形成工程でパターン崩れや塵埃等の影響を受けにくく、しかも、効果的な洗浄を配線の形成後に行うことができるので、配線の形成工程で付着した塵埃を除去し易くて、歩留りが高い。また、配線の形成工程は増加しないので、製造コストは増大しない。

## 【図面の簡単な説明】

【図1】本発明の一実施形態の製造方法の前半を工程順に示す平面図である。

【図2】一実施形態の製造方法の後半を工程順に示す平面図である。

【図3】一実施形態の平面図である。

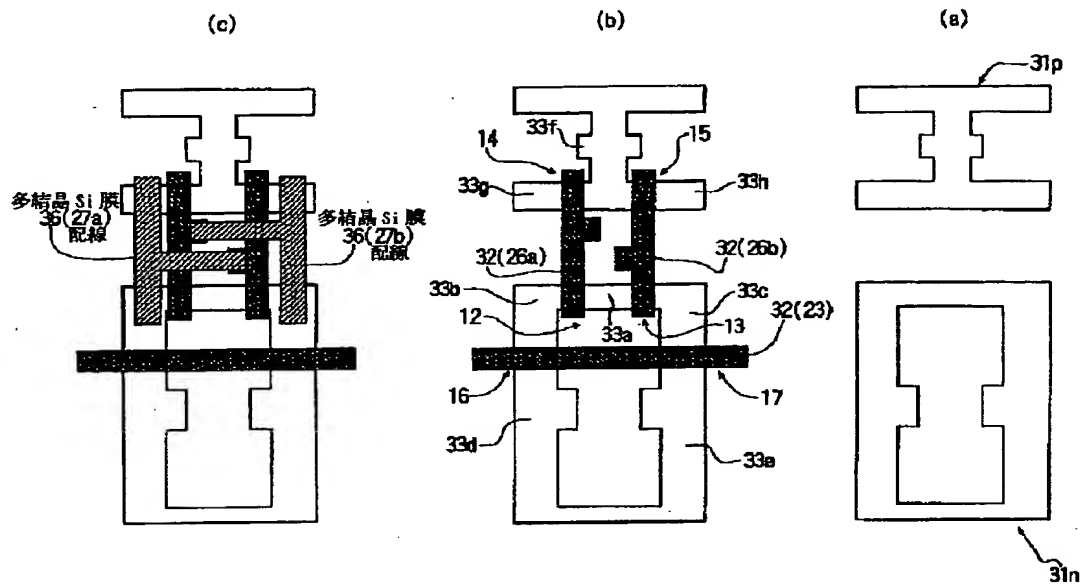
【図4】本発明を適用し得るSRAMのメモリセルの等価回路図である。

【図5】本発明の一従来例の製造過程の平面図である。

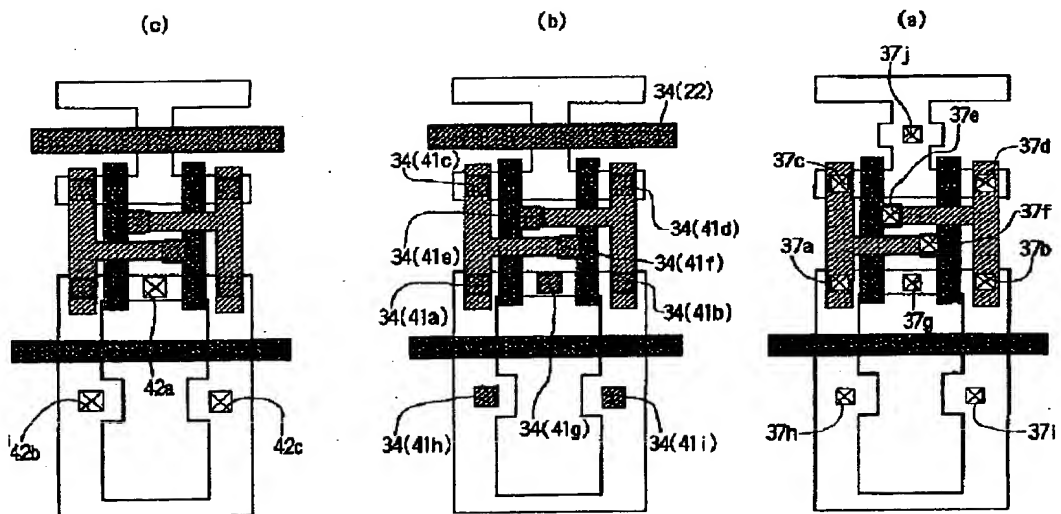
## 【符号の説明】

11 フリップフロップ  
27a、27b 配線  
36 多結晶Si膜（半導体層）

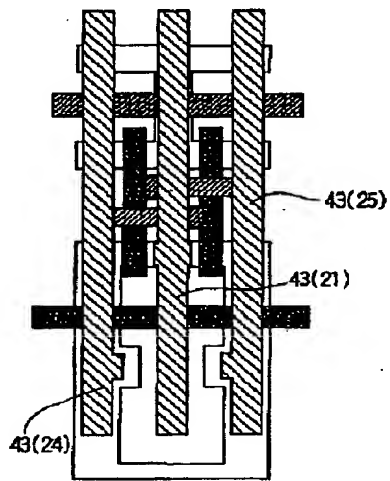
【 図 1 】



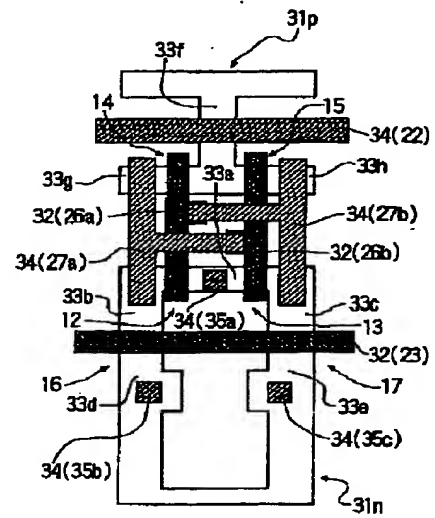
【 図 2 】



【 図 3 】



【 図 5 】



【 図 4 】

